

This Page Is Inserted by IFW Operations  
and is not a part of the Official Record

## **BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning documents *will not* correct images,  
please do not report the images to the  
Image Problem Mailbox.**

**MANUFACTURE OF P-TYPE II-VI COMPOUND SEMICONDUCTOR**

Patent Number: JP5206520  
Publication date: 1993-08-13  
Inventor(s): NAKAMURA SHUJI  
Applicant(s): NICHIA CHEM IND LTD  
Requested Patent: ☐ JP5206520  
Application Number: JP19920040280 19920129  
Priority Number(s):  
IPC Classification: H01L33/00; H01L21/477  
EC Classification:  
Equivalents:

---

**Abstract**

---

**PURPOSE:** To manufacture a low resistance P-type light-emitting element of purple color from blue color by a method wherein, after a P-impurity-doped II-VI compound semiconductor has been formed by a vapor growth method, an annealing treatment is conducted thereon at specific temperature or higher, or an electron beam irradiation is performed, and a cap layer is formed.

**CONSTITUTION:** After P-impurity-doped II-VI compound semiconductor layer has been formed by a vapor growth method, it is annealed at the temperature higher than 300 deg.C. Also, after P-impurity-doped II-VI compound semiconductor layer has been formed, an electron beam is applied to the compound semiconductor layer. Besides, when an annealing treatment or an electron beam irradiation is conducted at 300 deg.C or higher, a cap layer may be formed on the P-impurity-doped II-VI compound semiconductor layer before conducting the above-mentioned treatment or operation for the purpose of suppressing the decomposition by heat of the II-VI compound semiconductor. The cap layer is a protective layer, and it can be formed into P-type of low resistance in reduced pressure or normal pressure.

---

Data supplied from the esp@cenet database - I2

(19)日本国特許庁(JP)

(12)公開特許公報(A)

(11)特許出願公開 号

特開平5-206520

(43)公開日 平成5年(1993)8月13日

(51)Int.Cl.<sup>4</sup>

H01L 33/00  
21/477

識別記号

D 8834-4M  
8617-4M

庁内整理番号

FI

技術表示箇所

審査請求 未請求 請求項の数5(全 4 頁)

(21)出願番号 特願平4-40280

(22)出願日 平成4年(1992)1月29日

(71)出願人 000226057

日亜化学工業株式会社  
徳島県阿南市上中町岡491番地100

(72)発明者 中村 修二

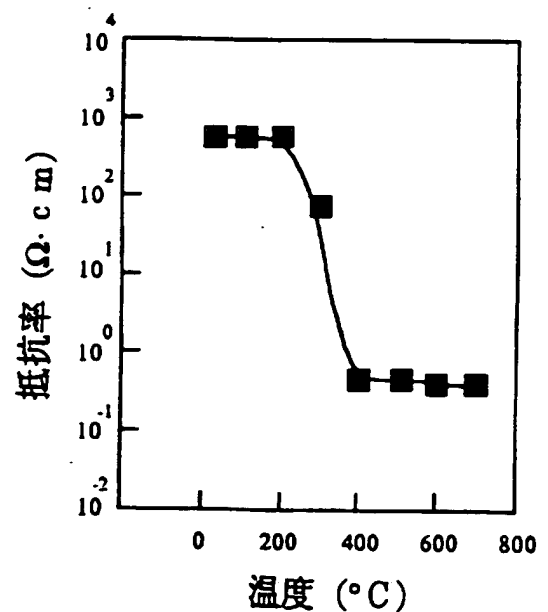
徳島県阿南市上中町岡491番地100 日亜化  
学工業株式会社内

(54)【発明の名称】 p型II-VI族化合物半導体の製造方法

(57)【要約】

【目的】 p型不純物をドーピングしたII-VI族化合物半導体をさらに低抵抗なp型とし、実用的な発光素子を製作可能とするp型II-VI族化合物半導体の製造方法を提供する。

【構成】 気相成長法により、p型不純物をドーピングしたII-VI族化合物半導体を形成した後、300℃以上の温度でアニーリングを行うか、または電子線照射を行う。



R009906

1

## 【特許請求の範囲】

【請求項1】 気相成長法により、p型不純物をドーブしたII-VI族化合物半導体を形成した後、300℃以上の温度でアニーリングを行うことを特徴とするp型II-VI族化合物半導体の製造方法。

【請求項2】 気相成長法により、p型不純物をドーブしたII-VI族化合物半導体を形成した後、電子線照射を行うことを特徴とするp型II-VI族化合物半導体の製造方法。

【請求項3】 前記アニーリングは、そのアニーリング温度におけるII-VI族化合物半導体の分解圧以上に加圧したII族またはV族ガスまたはII族とV族ガスの混合ガス雰囲気中で行うことを特徴とする請求項1に記載のp型窒化ガリウム系化合物半導体の製造方法。

【請求項4】 前記p型不純物をドーブしたII-VI族化合物半導体の上に、さらにキャップ層を形成することを特徴とする請求項1ないし2に記載のp型II-VI族化合物半導体の製造方法。

【請求項5】 前記キャップ層はII-VI族化合物半導体、 $\text{Si}_3\text{N}_4$ 、 $\text{SiO}_2$ より選択されたいずれか一種の材料よりなることを特徴とする請求項4に記載のp型II-VI族化合物半導体の製造方法。

## 【発明の詳細な説明】

【0001】-

【産業上の利用分野】 本発明は紫外、青色発光レーザーダイオード、紫外、青色発光ダイオード等の発光デバイスに利用されるp型II-VI族化合物半導体の製造方法に係り、詳しくは、気相成長法によりp型不純物をドーブして形成したII-VI族化合物半導体層を低抵抗なp型にする方法に関する。

【0002】

【従来の技術】 青色発光素子の候補の材料としてZnS、ZnSe、CdS、CdSeなどのII-VI族化合物半導体がある。従来、これらII-VI族材料はp型を示す結晶を得ることが非常に困難なため、青色発光素子を作る上で大きな問題であった。

【0003】 II-VI族化合物半導体を積層する方法として、有機金属化合物気相成長法（以下MOCVD法という。）等の気相成長法がよく知られている。例えば、MOCVD法によりZnSeを成長する場合について簡単に説明すると、この方法は、GaAs基板を設置した反応容器内に反応ガスとして有機金属化合物ガス（ジエチルジンク（DEZ）、セレン化水素（ $\text{H}_2\text{S}$ ）等）を供給し、結晶成長温度をおよそ350℃の温度に保持して、基板上にZnSeを成長させ、また必要に応じて他の不純物ガスを供給しながらZnSe半導体をn型、あるいはp型に積層する方法である。基板にはGaAs、ZnSeなどが一般的に用いられている。n型不純物としてはCが良く知られており、p型不純物としてはNが最もよく知られている。

2

【0004】 しかしながら、II-VI族化合物半導体を有する青色発光デバイスは未だ実用化には至っていない。なぜなら、II-VI族化合物半導体が低抵抗なp型にできないため、ダブルヘテロ、シングルヘテロ等の数々の構造の発光素子ができないからである。気相成長法でp型不純物をドーブしたII-VI族化合物半導体を成長しても、得られたII-VI族化合物半導体は低抵抗なp型とはならず、抵抗率が約100Ω・cm以上の高抵抗なp型となってしまうのが実状であった。

【0005】

【発明が解決しようとする課題】 従って、本発明の目的は、p型不純物をドーブしたII-VI族化合物半導体をさらに低抵抗なp型とし、実用的な発光素子を製作可能とするp型II-VI族化合物半導体の製造方法を提供するものである。

【0006】

【課題を解決するための手段】 まず、本発明のp型II-VI族化合物半導体の製造方法は、気相成長法により、p型不純物をドーブしたII-VI族化合物半導体層を形成した後、300℃以上の温度でアニーリングを行うことを特徴とするものである。

【0007】 アニーリング（Annealing：焼きなまし）はp型不純物をドーブしたII-VI族化合物半導体層を形成した後、反応容器内で行ってもよいし、ウェハーを反応容器から取り出してアニーリング専用の装置を用いて行ってもよい。アニーリング雰囲気は真空中、 $\text{N}_2$ 、 $\text{He}$ 、 $\text{Ne}$ 、 $\text{Ar}$ 等の不活性ガス、またはこれらの混合ガス雰囲気中で行い、最も好ましくは、アニーリング温度におけるII-VI族化合物半導体の分解圧以上で加圧したII族ガス、V族ガス、またはこれらの混合ガス雰囲気中で行う。なぜなら、II族またはV族ガス雰囲気として加圧することにより、アニーリング中にII-VI族化合物半導体が分解することを防止することができるからである。

【0008】 また、本発明はp型不純物をドーブしたII-VI族化合物半導体層を形成した後、その化合物半導体層に電子線照射をすることを特徴とするものである。電子線照射は通常、加速電圧1kV～30kVの範囲で例えばSEM、EPMA等の電子線照射装置を用いて行うことができる。

【0009】 さらに、300℃以上でアニーリング、または電子線照射をする場合、II-VI族化合物半導体の熱による分解を抑える手段として、p型不純物をドーブしたII-VI族化合物半導体層の上に、さらにキャップ層を形成した後行ってもよい。キャップ層とは、即ち保護膜であって、それをp型不純物をドーブしたII-VI族化合物半導体の上に形成することにより、加圧下はいうまでもなく、減圧、常圧中においても、II-VI族化合物半導体を分解させることなく低抵抗なp型とすることができる。

3

【0010】キャップ層を形成するには、p型不純物をドーパしたII-VI族化合物半導体層を形成した後、続いて反応装置内で形成してもよいし、また、ウェハーを反応装置から取り出し、他の結晶成長装置、例えばプラズマCVD装置等で形成してもよい。キャップ層の材料としては、II-VI族化合物半導体の上に形成できる材料で、300℃以上で安定な材料であればどのようなものでもよく、好ましくはII-VI族化合物半導体、 $\text{Si}_3\text{N}_4$ 、 $\text{SiO}_2$ を挙げることができ、アニーリング温度により材料の種類を適宜選択する。また、キャップ層の膜厚は通常0.01~5 $\mu\text{m}$ の厚さで形成する。0.01 $\mu\text{m}$ より薄いと保護膜としての効果が十分に得られず、また5 $\mu\text{m}$ よりも厚いと、アニーリング後、キャップ層をエッチングにより取り除き、p型II-VI族化合物半導体層を露出させるのに手間がかかるため、経済的ではない。

【0011】

【作用】図1は、p型不純物として窒素原子(N)をドーパしたZnSe化合物半導体層が、アニーリングによって低抵抗なp型に変わることを示す図である。これは、MOCVD法を用いて、GaAs基板上にp型不純物として $\text{NH}_3$ を流しながらNをドーパしてZnSe層を4 $\mu\text{m}$ の膜厚で形成した後、ウェハーを取り出し、窒素雰囲気中でアニーリング温度を変化させて、10分間アニーリングを行った後、ウェハーのホール測定を行い、抵抗率をアニーリング温度の関数としてプロットした図である。

【0012】この図からわかるように、300℃を越えるあたりから急激にNをドーパしたZnSe層の抵抗率が減少し、400℃以上からはほぼ一定の低抵抗なp型特性を示し、アニーリングの効果が現れている。なお、アニーリングしないZnSe層と400℃以上でアニーリングしたZnSe層のホール測定結果は、アニーリング前のZnSe層は抵抗率600 $\Omega\cdot\text{cm}$ 、ホールキャリア濃度 $1 \times 10^{18}/\text{cm}^3$ であったのに対し、アニーリング後のZnSe層は抵抗率0.8 $\Omega\cdot\text{cm}$ 、ホールキャリア濃度 $1 \times 10^{18}/\text{cm}^3$ であった。また、この図はZnSeについて示した図であるが、同じくp型不純物をドーパしたZnS、CdS、CdSeあるいはこれらの混晶においても同様の結果が得られることが確かめられた。

【0013】さらに、400℃でアニーリングした上記4 $\mu\text{m}$ のZnSe層をエッチングして2 $\mu\text{m}$ の厚さにし、ホール測定を行った結果、ホールキャリア濃度 $1 \times 10^{18}/\text{cm}^3$ 、抵抗率0.7 $\Omega\cdot\text{cm}$ であり、エッチング前とほぼ同一の値であった。即ちp型不純物をドーパしたZnSe層がアニーリングによって、深さ方向均一に全領域にわたって低抵抗なp型となっていた。

【0014】また、上記のMOCVD法によって成長したNドーパZnSe半導体膜を電子線照射装置に入れ、

4

加速電圧10kVで電子線照射を行った。電子線照射前は、ZnSe層の抵抗率600 $\Omega\cdot\text{cm}$ 、ホールキャリア濃度 $1 \times 10^{18}/\text{cm}^3$ であったのに対し、電子線照射後のZnSe層の抵抗率0.8 $\Omega\cdot\text{cm}$ 、ホールキャリア濃度 $1 \times 10^{18}/\text{cm}^3$ であった。

【0015】アニーリングまたは電子線照射により低抵抗なp型II-VI族化合物半導体が得られる理由は以下のとおりであると推察される。

【0016】即ち、II-VI族化合物半導体層の成長において、p型ドーパントとしてのN源として、一般に $\text{NH}_3$ が用いられており、成長中にこの $\text{NH}_3$ が分解して原子状水素ができてと考えられる。この原子状水素がアクセプター不純物としてドーパされたNと結合することにより、Nがアクセプターとして働くのを妨げていると考えられる。このため、反応後のN不純物をドーパしたII-VI族化合物半導体は高抵抗を示す。

【0017】ところが、成長後アニーリングまたは電子線照射を行うことにより、N-Hの形で結合している水素が、アニーリングによる熱、あるいは電子線照射による電子線誘起により解離されて、N不純物をドーパしたII-VI族化合物半導体層から出て行き、正常にNがアクセプターとして働くようになるため、低抵抗なp型II-VI族化合物半導体を得られるのである。従って、アニーリング雰囲気中に $\text{NH}_3$ 、 $\text{H}_2$ 等の水素原子を含むガスを使用することは好ましくない。

【0018】一方、電子線照射においても、加速電圧を通常1kV~30kVの範囲に行う方が最も再現性良く低抵抗化することができ、その効果も大きい。1kVよりも小さいと電子線のエネルギーが小さくなり、水素原子を分離するのに十分なエネルギーが得られず解離効果が不十分となる傾向にある。また30kVよりも大きいと電子のエネルギーが非常に大きくなり、低いエミッション電流でも試料温度が高くなりすぎて試料が分解してしまい、これをコントロールすることが非常に難しい。

【0019】

【実施例】以下実施例で本発明を詳述する。

【0020】【実施例1】まず、良く洗浄したGaAs基板を反応容器内のサセプターに設置する。容器内を真空排気した後、水素ガスを流しながら基板を600℃で、10分間加熱し、表面の酸化物を除去する。その後、温度を350℃にまで冷却し、350℃においてZn源としてDEZガスを $4.0 \times 10^{-6}$ モル/分、Se源として $\text{H}_2\text{Se}$ ガスを $1.00 \times 10^{-6}$ モル/分、p型ドーパントとしてN源として $\text{NH}_3$ ガスを $2.00 \times 10^{-6}$ モル/分、キャリアガスとして水素ガスを2.0リットル/分で流しながら、Nドーパp型ZnSe層を60分間で4 $\mu\text{m}$ の膜厚で成長させる。成長後p型ZnSeのホール測定を行った結果は、抵抗率600 $\Omega\cdot\text{cm}$ 、ホールキャリア濃度 $1 \times 10^{18}/\text{cm}^3$ と高抵抗であった。

5

【0021】次に、成長させたウエハーを反応容器から取り出し、アニーリング装置に入れ、常圧、窒素雰囲気中で400℃で20分間保持してアニーリングを行う。アニーリングして得られたp型ZnSeのホール測定を行った結果は、抵抗率 $0.8 \Omega \cdot \text{cm}$ 、ホールキャリア濃度 $1 \times 10^{18} / \text{cm}^3$ と優れたp型特性を示した。

【0022】【実施例2】実施例1において、成長させたウエハーを反応容器から取り出し、電子線照射装置に入れ、加速電圧10kVで電子線照射を行った。電子線照射をして得られたp型ZnSeのホール測定を行った結果は、抵抗率 $0.7 \Omega \cdot \text{cm}$ 、ホールキャリア濃度 $1 \times 10^{18} / \text{cm}^3$ と優れたp型特性を示した。

【0023】【実施例3】実施例1において、NドープZnSe層を成長させた後、続いてキャップ層としてZnSe層を $0.1 \mu\text{m}$ の膜厚で成長させる。

【0024】実施例1と同様にアニーリング装置でアニーリングを行う。その後、エッチングにより、表面から $0.2 \mu\text{m}$ の層を取り除き、キャップ層を除去してp型ZnSe層を露出させ、同様にホール測定を行った結果、抵抗率 $0.6 \Omega \cdot \text{cm}$ 、キャリア濃度 $3 \times 10^{18} / \text{cm}^3$ と優れたp型特性を示した。

6

【0025】【実施例4】実施例1において、NドープZnSe層を成長させた後、ウエハーを反応容器から取り出し、プラズマCVD装置を用い、その上にキャップ層として $\text{SiO}_2$ 層を $0.2 \mu\text{m}$ の膜厚で形成する。

【0026】その後、実施例2と同じく加速電圧15kVで、電子線を走査しながらウエハー全体に電子線照射を行う。その後、フッ酸で $\text{SiO}_2$ キャップ層を取り除き、p型ZnSe層を露出させ、同様にホール測定を行った結果、抵抗率 $0.6 \Omega \cdot \text{cm}$ 、キャリア濃度 $2.0 \times 10^{18} / \text{cm}^3$ と優れたp型特性を示した。

【0027】

【発明の効果】以上述べたように本発明の方法によると、従来p型不純物をドープしても低抵抗なp型とならなかったII-VI族化合物半導体を低抵抗なp型とすることができるため、数々の構造の青色から紫色発光素子をII-VI族化合物半導体を使用して製造することが可能となり産業上メリットは計り知れない。

【図面の簡単な説明】

【図1】 本発明の一実施例によるアニーリング温度と抵抗率の関係を示す図。

【図1】

